

**Semiconductor device**

Patent Number: ☐ US2002000609  
Publication date: 2002-01-03  
Inventor(s): YASUDA YUKIO (JP)  
Applicant(s):  
Requested Patent: ☐ JP2002016254  
Application Number: US20010756190 20010109  
Priority Number(s): JP20000196518 20000629  
IPC Classification: H01L29/76; H01L29/94; H01L31/062; H01L31/113; H01L31/119; H01L27/082; H01L27/102; H01L29/70; H01L31/11  
EC Classification: H01L27/06D6T2D, H01L27/02B4F2, H01L29/47, H01L29/872  
Equivalents: ☐ DE10111200, ☐ US6441463

---

**Abstract**

---

Latch-up of each of parasitic thyristors (T1-T4), which occurs when a circuit element (B1) is formed on a semiconductor substrate in which an IGBT (Z1) has been formed, is prevented by a circuit for preventing the latchup using Schottky barrier diodes (D2, D3) formed on the semiconductor substrate. Each of the Schottky barrier diodes (D2, D3), which is composed of a junction between a diffused layer used for forming the circuit element and a metal wiring layer, is used in the circuit for preventing the latch-up action of each of the parasitic thyristors (T1-T4). Thereby, the area of the semiconductor device can be made smaller while the semiconductor device can have a higher protection effect

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-16254  
(P2002-16254A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int. Cl.	識別記号	F I	テーム (参考)	
H 0 1 L 29/78	6 5 7	H 0 1 L 29/78	6 5 7 G	4 M 1 0 4
	6 5 5		6 5 7 A	5 F 0 3 8
27/04		27/06	6 5 5 A	5 F 0 4 8
21/822		27/04	3 1 1 C	
			H	

審査請求 未請求 請求項の数10 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-196518 (P2000-196518)

(22) 出願日 平成12年6月29日 (2000.6.29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 安田 幸央

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

Fターム (参考) 4M104 B802 CC03 DD84 FF35 GG03

HH17 HH18 HH20

5F038 BH02 BH05 BH07 BH18 DF01

E220

5F048 AA03 AC03 AC10 BA04 BE02

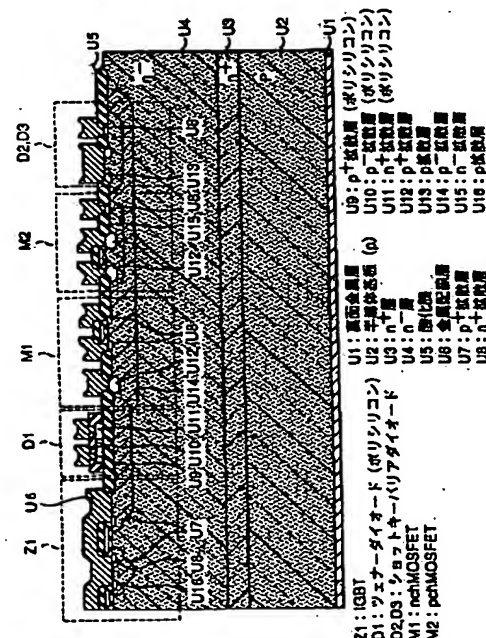
BE05 BF02 CC06 CC08

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 IGBTが形成されている半導体基板上に回路素子を形成する場合、とくにpchMOSFETを構成する場合に、回路素子と半導体基板とに発生する寄生サイリスタのラッチアップを防止することができる小面積の半導体装置を提供する。

【解決手段】 IGBT・Z1が形成されている半導体基板上に回路素子を形成する際に発生する寄生サイリスタのラッチアップを、半導体基板上に形成されたショットキーバリアダイオードを用いたラッチアップ防止回路により防止するようにしている。そして、回路素子の形成に用いられる拡散層と金属配線層の接合からなるショットキーバリアダイオードを寄生サイリスタラッチアップ動作防止用回路に用い、従来のものよりもより小面積で、より高い保護効果を得ることができるようにしている。



## 【特許請求の範囲】

【請求項1】 同一の半導体基板に、絶縁ゲートバイポーラトランジスタと、制御用の回路領域または回路素子とが形成されている半導体装置であって、

半導体基板の表面近傍部に、該半導体基板の導電型とは異なる導電型の第1の拡散層と、第1の拡散層に包含された、第1の拡散層の導電型とは異なる導電型の第2の拡散層とが形成され、

第2の拡散層の上に、絶縁膜が除去されてなる第1の領域が形成されるとともに、第1の領域内に第1の金属配線層が形成され、

第2の拡散層に包含されるかまたは重なる、第2の拡散層とは同一導電型の第3の拡散層が形成され、

第3の拡散層の上に、絶縁膜が除去されてなる第2の領域が形成されるとともに、第2の領域内に第2の金属配線層が形成され、

第1および第2の金属配線層を電極とするショットキーバリアダイオードと、半導体基板上の絶縁膜の上に多結晶シリコンを堆積させることにより形成されたツェナーダイオードとを組合せてなる保護用回路が、該半導体装置の少なくとも1つの入力端子に接続され、

前記回路領域または回路素子が、前記保護用回路を経由して前記入力端子に接続されるとともに、絶縁ゲートバイポーラトランジスタのゲートに接続されていることを特徴とする半導体装置。

【請求項2】 第1および第2の金属配線層が、アルミニウムまたは微量の他元素を含むアルミニウムで形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 第2の拡散層と第1の金属配線層との接合部を取り囲むように、第2の拡散層の導電型とは異なる導電型の第4の拡散層が形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 第1および第2のショットキーバリアダイオードと第1のツェナーダイオードとを有して、第1のツェナーダイオードのカソードと第1のショットキーバリアダイオードのアノードとが該半導体装置の入力端子に接続され、

第1のショットキーバリアダイオードのカソードが、第2のショットキーバリアダイオードのカソードと、前記回路領域または回路素子とに接続され、

第1のツェナーダイオードのアノードと第2のショットキーバリアダイオードのアノードとが、絶縁ゲートバイポーラトランジスタのエミッタに接続されていることを特徴とする請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】 該半導体装置の入力端子に抵抗の一端が接続され、該抵抗の他端が、第1のツェナーダイオードのカソードと第1のショットキーバリアダイオードのアノードとに接続されていることを特徴とする請求項4に

記載の半導体装置。

【請求項6】 第2のツェナーダイオードが設けられていて、

第2のツェナーダイオードのアノードが第1のツェナーダイオードのアノードに接続され、第2のツェナーダイオードのカソードが絶縁ゲートバイポーラトランジスタのエミッタに接続されていることを特徴とする請求項4に記載の半導体装置。

【請求項7】 該半導体装置への入力端子が複数設けられ、第1のツェナーダイオードと第1および第2のショットキーバリアダイオードとからなる前記回路と同一構成の回路が、少なくとも1つ追加されていることを特徴とする請求項4に記載の半導体装置。

【請求項8】 第4の拡散層が、絶縁ゲートバイポーラトランジスタを形成する際に用いられる拡散層で形成されていることを特徴とする請求項3に記載の半導体装置。

【請求項9】 第2の拡散層と第1の金属配線層との間に、第1の金属配線層とは異なる金属が拡散または堆積させられてなる金属拡散層が形成されていることを特徴とする請求項1～3のいずれか1つに記載の半導体装置。

【請求項10】 前記の拡散または堆積させられる金属が白金であることを特徴とする請求項9に記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一の半導体基板に、絶縁ゲートバイポーラトランジスタと制御用回路とが形成されている半導体装置に関するものであって、とくに接合分離技術を用いて絶縁ゲートバイポーラトランジスタ上に制御用回路を形成する際に発生する寄生素子によるラッチアップを防止するための保護素子ないしは保護回路の構造に関するものである。

【0002】

【従来の技術】一般に、絶縁ゲートバイポーラトランジスタ（以下、「IGBT（Insulated Gate Bipolar Transistor）」という。）が形成されている半導体基板に、回路領域ないしは回路素子等を形成すると、回路特性を低下させる寄生素子が発生する。このため、寄生素子の動作を抑制することができる様々な回路領域ないしは回路素子等の形成手法が試みられてきた。

【0003】このような回路領域ないしは回路素子等の形成手法は、例えば回路領域を特殊な基板形成技術等を用いずに接合分離技術を用いて形成する技術分野においては、1998年に発行された技術文献「イグニッションコイル駆動用の自己分離された高度IGBT（A Self-isolated intelligent IGBT for driving ignition coils [International symposium on Power Semiconductor Drives & Ics, 1998]）」に開示されている。この技

術文献には、接合分離技術において致命的な問題となる寄生サイリスタの動作による素子破壊に対して、ポリシリコン上に形成されたダイオードと抵抗とを組み合わせた回路を用いることにより、該素子破壊を回避するようにした手段が開示されている。

【0004】なお、特開平7-169963号公報、特開平8-306924号公報および特開昭64-51664号公報にも、IGBTないしはMOSFETを備えた半導体装置において、寄生素子の動作を抑制するための技術が開示されている。

【0005】図9に、前記技術文献に開示されている従来の寄生サイリスタの動作防止回路を部分的に示す。図9において、P1は、Z1で示されたIGBT（以下、「IGBT・Z1」という。）が形成されている半導体基板上にさらに制御用回路B1が形成された半導体装置B2の制御用の入力端子である。P2は、IGBT・Z1のエミッタ端子であり、制御用回路B1のアース端子としても機能するものである。P3は、IGBT・Z1のコレクタ端子である。

【0006】入力端子P1には、抵抗R1を介して、ツェナーダイオードD1のカソードが接続されている。他方、ツェナーダイオードD1のアノードは、エミッタ端子P2に接続されている。また、ツェナーダイオードD1のカソードは、抵抗R2の一端にも接続されている。抵抗R2の他端は、抵抗R3の一端とツェナーダイオードD8のカソードとに接続されている。抵抗R3の他端は、制御用回路B1に接続されている。また、ツェナーダイオードD8のアノードは、エミッタ端子P2に接続されている。

【0007】抵抗R2、R3およびダイオードD1、D8は、それぞれ、IGBT・Z1が形成された基板上に絶縁膜を介して形成された多結晶シリコン層（以下、「ポリシリコン層」という。）上に形成されている。なお、前記技術文献に記載されたものでは、IGBT・Z1を制御するための制御用回路B1は、nchMOSFET（エンハンスメント型およびデプレッション型）で形成されている。

【0008】図10に、かかる従来の半導体装置における、回路素子寄生サイリスタの構造を示す。図10に示すように、Mで示されたnchMOSFET（以下、「nchMOSFET・M」という。）の各拡散層と、これらを形成している半導体基板Uとの間には、寄生トランジスタT1、T2が形成される。nchMOSFET・MのバックゲートGに対応するp<sup>-</sup>拡散領域と、このp<sup>-</sup>拡散層に含まれるように形成されたn<sup>+</sup>拡散層（nchMOSFET・MのソースSまたはドレインAに対応する。）と、半導体基板Uのn<sup>+</sup>層とは、それぞれ、npn型寄生トランジスタT2のベース、エミッタおよびコレクタとなる。また、半導体基板のp層と、その上に形成されたn<sup>+</sup>層およびn<sup>-</sup>層と、nchMOSFET

・MのバックゲートGに対応するp<sup>-</sup>拡散層とは、それぞれnpn型寄生トランジスタT1のエミッタ、ベースおよびコレクタとなる。

【0009】寄生トランジスタT1と寄生トランジスタT2とは、寄生トランジスタT1のコレクタと寄生トランジスタT2のベースとが接続され、かつ寄生トランジスタT1のベースと寄生トランジスタT2のコレクタとが接続された状態となり、サイリスタを構成する。したがって、このサイリスタがいったんONすると、IGBT・Mのコレクタ電位がエミッタ電位よりも低くなるような状態にしない限り、該サイリスタをOFFさせることができない。

【0010】このサイリスタがON状態に至るパターンとしては、次の2つのものが予想される。ひとつは、nchMOSFET・Mのソース電位がバックゲート電位よりも低い電位となり、npn型寄生トランジスタT2のエミッタ電流を発生させるような場合である。もうひとつは、npn型寄生トランジスタT1が、同一基板上に形成されたIGBT・MのONに伴ってONする場合である。この場合、npn型寄生トランジスタT1のコレクタ電流がnchMOSFET・MのバックゲートGに流れて該バックゲートGに電圧降下を発生させ、これによりnchMOSFET・MのソースSまたはドレインAよりも高い電位になったときに、前記の状態と同様のラッチアップが発生する。

【0011】とくに、入力端子P1として半導体装置外部とのインターフェイスを設けた場合、入力端子P1の電位がエミッタ端子P2の電位よりも低くなる状態が発生する可能性が高い。サージなどの時間としては短い、瞬時の電流としては大きいストレスが印加されることも予想され、このような場合でもラッチアップが発生する可能性がある。

【0012】そこで、図9に示すような入力端子P1を保護するための保護回路を用いる場合、保護回路を全てポリシリコン上に形成された素子で構成することにより、保護素子と半導体基板との寄生素子発生を防止した上で、回路的な効果でnpn型寄生トランジスタT2に流れるエミッタ電流を抑制して寄生サイリスタがラッチアップしないようにしている。

【0013】実際の素子形成においては、制御用回路B1内に形成されたnchMOSFET・MのソースSまたはドレインAをエミッタとするnpn型寄生トランジスタT2に対して、必ず直列となるように抵抗R3が配設される。かくして、抵抗R3とnpn型寄生トランジスタT2のエミッタとの間の電圧降下が、ツェナーダイオードD8の順方向電圧降下により抑制される。同様に、ツェナーダイオードD8と抵抗R3と制御用回路B1とからなる回路の電流が、直列に接続された抵抗R2を通るように構成される。かくして、抵抗R2によって前記回路に発生する電圧降下が、ツェナーダイオードD

1の順方向電圧降下により抑制される。

【0014】上記従来技術においては、ダイオードの順方向電圧降下と、これに並列に接続された回路の直列抵抗での電圧降下の作用とによって、寄生素子を流れる電流が抑制される。したがって、ツェナーダイオードD8の順方向電圧降下は、制御用回路B1内のnpn型寄生トランジスタT2のベース・エミッタ間電圧よりも小さい。このため、ツェナーダイオードD1の順方向電圧降下がツェナーダイオードD8のそれよりも小さくしなければ、寄生サイリスタ動作防止の効果は小さい。ここで、同一の素子を用いてダイオードの順方向電圧降下を小さくするには、pn接合の面積を大きくしなければならぬ。このため、回路領域よりもかなり大きいダイオードを形成して、所望の電流耐量を確保するようにしている。

【0015】

【発明が解決しようとする課題】上記従来技術においては、回路領域をnchMOSFETのみで構成しているため、npn型寄生トランジスタが発生しても、その接合面積は小さい。このため、ベース・エミッタ間電圧が比較的大きくなる。しかしながら、回路形成においてpchMOSFETを含む回路領域を形成することを目論む場合、その接合面積はnchMOSFETのみの回路よりも大きくなる。したがって、寄生サイリスタを防止するための回路を構成する場合、nchMOSFETのみの回路を構成する場合よりも大きな保護回路が必要となる。このように、保護回路領域が大きくなると、これを搭載する半導体装置も大きくなるため、半導体装置の製造にかかる費用が増大することが懸念される。

【0016】本発明は、上記従来の問題を解決するためになされたものであって、コンパクトな構成でもって寄生素子の動作を有効に抑制することができる、同一基板上にIGBTと制御回路とが形成された半導体装置を提供することを解決すべき課題とする。

【0017】

【課題を解決するための手段】上記課題を解決するためになされた本発明にかかる半導体装置は、IGBTが形成されている半導体基板上にpchMOSFETを形成した場合において、pchMOSFET形成に必要な拡散領域を用いたダイオードを形成することにより、従来のものよりも小さい面積でラッチアップを防止する回路を構成するようにしたものである。

【0018】すなわち、IGBTが形成されている半導体基板上にショットキーバリアダイオードを形成して、ポリシリコン上に形成されたツェナーダイオードと組合せて寄生サイリスタラッチアップ防止回路を形成するものである。つまり、ショットキーバリアダイオードを用いることにより、小さい面積で回路領域のnpn型寄生トランジスタのベース・エミッタ間電圧よりも低い順方向電圧特性を容易に得て、寄生サイリスタラッチアップ

防止用の回路を小さくし、従来のものに比べてより安全で廉価な半導体装置を得ることができるよう構成したものである。

【0019】具体的には、本発明の第1の態様にかかる半導体装置は、(i)同一の半導体基板に、IGBTと、制御用の回路領域または回路素子とが形成されている半導体装置であって、(ii)半導体基板の表面近傍部に、該半導体基板の導電型とは異なる導電型の第1の拡散層と、第1の拡散層に包含された、第1の拡散層の導電型とは異なる導電型の第2の拡散層とが形成され、

(iii)第2の拡散層の上に、絶縁膜が除去されてなる第1の領域が形成されるときに、第1の領域内に第1の金属配線層が形成され、(iv)第2の拡散層に包含されるかまたは重なる、第2の拡散層とは同一導電型の第3の拡散層が形成され、(v)第3の拡散層の上に、絶縁膜が除去されてなる第2の領域が形成されるときに、第2の領域内に第2の金属配線層が形成され、(vi)第1および第2の金属配線層を電極とするショットキーバリアダイオードと、半導体基板上の絶縁膜の上に多結晶シリコンを堆積させることにより形成されたツェナーダイオードとを組合せてなる保護用回路が、該半導体装置の少なくとも1つの入力端子に接続され、(vii)前記回路領域または回路素子が、前記保護用回路を経由して前記入力端子に接続されるときに、IGBTのゲートに接続されていることを特徴とするものである。

【0020】本発明の第2の態様にかかる半導体装置は、本発明の第1の態様にかかる半導体装置において、第1および第2の金属配線層が、アルミニウムまたは微量の他元素を含むアルミニウムで形成されていることを特徴とするものである。

【0021】本発明の第3の態様にかかる半導体装置は、本発明の第1または第2の態様にかかる半導体装置において、第2の拡散層と第1の金属配線層との接合部を取り囲むように、第2の拡散層の導電型とは異なる導電型の第4の拡散層が形成されていることを特徴とするものである。

【0022】本発明の第4の態様にかかる半導体装置は、本発明の第1～第3の態様のいずれか1つにかかる半導体装置において、(a)第1および第2のショットキーバリアダイオードと第1のツェナーダイオードとを有して、(b)第1のツェナーダイオードのカソードと第1のショットキーバリアダイオードのアノードとが該半導体装置の入力端子に接続され、(c)第1のショットキーバリアダイオードのカソードが、第2のショットキーバリアダイオードのカソードと、前記回路領域または回路素子とに接続され、(d)第1のツェナーダイオードのアノードと第2のショットキーバリアダイオードのアノードとが、IGBTのエミッタに接続されていることを特徴とするものである。

【0023】本発明の第5の態様にかかる半導体装置は、本発明の第4の態様にかかる半導体装置において、該半導体装置の入力端子に抵抗の一端が接続され、該抵抗の他端が、第1のツェナーダイオードのカソードと第1のショットキーバリアダイオードのアノードとに接続されていることを特徴とするものである。

【0024】本発明の第6の態様にかかる半導体装置は、本発明の第4の態様にかかる半導体装置において、第2のツェナーダイオードが設けられていて、第2のツェナーダイオードのアノードが第1のツェナーダイオード 10のカソードに接続され、第2のツェナーダイオードのカソードがIGBTのエミッタに接続されていることを特徴とするものである。

【0025】本発明の第7の態様にかかる半導体装置は、本発明の第4の態様にかかる半導体装置において、該半導体装置への入力端子が複数設けられ、第1のツェナーダイオードと第1および第2のショットキーバリアダイオードとからなる前記回路と同一構成の回路が、少なくとも1つ追加されていることを特徴とするものである。

【0026】本発明の第8の態様にかかる半導体装置は、本発明の第3の態様にかかる半導体装置において、第4の拡散層が、IGBTを形成する際に用いられる拡散層で形成されていることを特徴とするものである。

【0027】本発明の第9の態様のいずれか1つにかかる半導体装置において、第2の拡散層と第1の金属配線層との間に、第1の金属配線層とは異なる金属が拡散または堆積させられてなる金属拡散層が形成されていることを特徴とするものである。

【0028】本発明の第10の態様にかかる半導体装置は、本発明の第9の態様にかかる半導体装置において、前記の拡散または堆積させられる金属が白金であることを特徴とするものである。

【0029】

【発明の実施の形態】以下、添付の図面を参照しつつ、本発明の実施の形態を具体的に説明する。  
実施の形態1. まず、図1を用いて、本発明の実施の形態1にかかる半導体装置を説明する。図1において、U2は、IGBTおよび制御用回路を形成するための半導体基板(p)である。U3は、半導体基板U2上にエピタキシャル成長により形成されたn<sup>+</sup>層である。U4は、n<sup>+</sup>層U3上にエピタキシャル成長により形成されたn<sup>+</sup>層である。U1は、半導体基板U2の裏面に形成された裏面金属層である。

【0030】Z1は、半導体基板U2上に形成されたIGBTの領域(以下、「IGBT・Z1という。')である。このIGBT・Z1は、所定の基本構造の複数の素子を平面状に配置してそれらを並列接続することにより、大きな電流の駆動を行うことができるような構成と

されている。D1はツェナーダイオードである。このツェナーダイオードD1は、それぞれ、半導体基板U2上に酸化膜U5等の絶縁膜を介して堆積された層状のポリシリコンに不純物拡散を行うことにより形成されたp<sup>+</sup>拡散層U9と、p<sup>+</sup>拡散層U10と、n<sup>+</sup>拡散層U11とを備えている。これらの拡散層U9~U11は、半導体基板U2の表面と平行する方向に接合・形成されている。

【0031】M1はnchMOSFETである(以下、「nchMOSFET・M1」という。)。このnchMOSFET・M1は、n<sup>+</sup>層U4上に、低濃度の深いp<sup>+</sup>拡散層U14の領域に含まれるように高濃度のp<sup>+</sup>拡散層U12と高濃度のn<sup>+</sup>拡散層U8とが形成された構成とされている。M2は、pchMOSFETである(以下、「pchMOSFET・M2」という。)。このpchMOSFET・M2は、低濃度のp<sup>+</sup>拡散層U14の領域に含まれるように低濃度のn<sup>+</sup>拡散層U15が形成され、このn<sup>+</sup>拡散層U15に含まれるようにp<sup>+</sup>拡散層U12およびn<sup>+</sup>拡散層U8が形成された構成とされている。

【0032】D2およびD3はショットキーバリアダイオードである。これらショットキーバリアダイオードD2、D3は、低濃度のp<sup>+</sup>拡散層U14の領域に含まれるように低濃度のn<sup>+</sup>拡散層U15が形成され、該n<sup>+</sup>拡散層U15に低濃度のn<sup>+</sup>拡散層U15が形成され、さらにこのn<sup>+</sup>拡散層U15に含まれるようにp<sup>+</sup>拡散層U13およびn<sup>+</sup>拡散層U8が形成された構成とされている。これらのショットキーバリアダイオードD2、D3は、p<sup>+</sup>拡散層U8に接続される側の端子がカソードとなり、他方の端子がアノードとなるように形成されている。

【0033】図8に、図1に示す半導体装置における、回路素子寄生のサイリスタの構造を示す。図8において、G1およびG2は、それぞれ、nchMOSFET・M1およびpchMOSFET・M2のバックゲートである。A1およびA2は、それぞれ、nchMOSFET・M1およびpchMOSFET・M2のドレインである。S1およびS2は、それぞれ、nchMOSFET・M1およびpchMOSFET・M2のソースである。

【0034】図8に示すように、この半導体装置では、図10に示す従来の半導体装置の場合とほぼ同様に、nchMOSFET・M1の各拡散層と、これらを形成している半導体基板U2との間に、寄生トランジスタT1、T2が形成される。また、pchMOSFET・M2の各拡散層と、これらを形成している半導体基板U2との間にも、nchMOSFET・M1の場合と同様に、寄生トランジスタT3、T4が形成される。しかしながら、この半導体装置においては、以下に説明するように、コンパクトないしは小面積の構成でもって、これらの寄生トランジスタT1~T4の動作が有効に抑制さ

れるようになっている。

【0035】次に、図2を用いて、本発明の実施の形態1にかかる半導体装置の回路接続構造を説明する。なお、図2において、図9に示す従来の半導体装置と共通する部材等、すなわち同等の構成ないしは機能を有する部材等には、図9の場合と同一の参照記号を付している。

【0036】図2に示すように、この回路接続構造においては、ショットキーバリアダイオードD2のアノードは入力端子P1に接続され、カソードは制御用回路B1ともう1つのショットキーバリアダイオードD3のカソードとに接続されている。ショットキーバリアダイオードD3のアノードはエミッタ端子P2に接続されている。制御用回路B1は、nchMOSFET・M1と受動素子、またはnchMOSFET・M1とpchMOSFET・M2と受動素子とで構成されている。制御用回路B1は、その出力端子はIGBT・Z1のゲートに接続され、IGBT・Z1の制御を行う構成とされている。

【0037】制御用回路B1と入力端子P1との間には、従来の半導体装置ないしは回路接続構造の場合とほぼ同様の機能を有する、ツェナーダイオードD1とショ

$$V_f = (k \cdot T / q) \ln(I_f / I_s) \dots\dots\dots \text{式1}$$

なお、式1において、 $V_f$ は、順方向電流 $I_f$ を流したときに発生する電圧降下であり、ボルツマン定数 $k$ と、絶対温度 $T$ 〔°K〕と、飽和電流 $I_s$ 〔A〕で求まる。式1からも、飽和電流が高いと順方向電圧降下が小さくなるということが分かる。

【0040】また、ポリシリコン上に形成されたダイオードでは、不純物は、堆積して形成されたポリシリコン層の上層から下層にわたって拡散されるので、pn接合面積は平面的に見た接合長さとポリシリコン層の厚みとによって決まる。これに対して、ショットキーバリアダイオードD2、D3では、n<sup>+</sup>拡散層U15と金属が接合している領域にpn接合が形成されているため、同じ程度の素子面積であれば、より大きい接合面積を確保することができる。

【0041】以上のように、接合そのものの飽和電流が低いことによる効果と、占有する面積に対する接合面積の効率が高いこととに起因して、制御用回路B1に発生するnpn型寄生トランジスタのベース・エミッタ間電圧よりも低い順方向電圧を容易に得ることができる。さらに、これに加えて、ショットキーバリアダイオードD2の整流作用による流出電流の抑制効果により、従来の回路接続構成よりも容易に高いレベルの寄生サイリスタのラッチアップ耐量を確保することができる。

【0042】実施の形態2。以下、図3を用いて、本発明の実施の形態2を具体的に説明する。しかしながら、この実施の形態2にかかる半導体装置ないしは回路接続構造の大半は、実施の形態1にかかる半導体装置ないし

\* ットキーバリアダイオードD2とショットキーバリアダイオードD3とからなるダイオード回路が形成されている。この種の回路接続構造において、制御用回路B1の寄生サイリスタのラッチアップが懸念されるのは、入力端子P1の電位がIGBT・Z1のエミッタ端子P2の電位よりも低くなった場合であるが、図2に示す回路接続構造においては、制御用回路B1から入力端子P1に向かう電流は、ショットキーバリアダイオードD2の整流動作のため、流れることができない。

【0038】なお、ショットキーバリアダイオードD2には、整流動作時の阻止状態においてリーク電流が発生しうる。そこで、このリーク電流に起因する寄生サイリスタのラッチアップの発生を防止するため、ショットキーバリアダイオードD3により、制御用回路B1からショットキーバリアダイオードD2を経由して流れる電流をバイパスさせるようにしている。

【0039】ショットキーバリアダイオードD2、D3は、その性質上、従来のこの種の半導体装置においてポリシリコン上に形成されているダイオードよりもpn接合の飽和電流が高く、発生する順方向電圧が低くなる。ここで、接合の順方向電圧は次の式1で表すことができる。

は回路接続構造と共通であるので、説明の重複を避けるため、主として実施の形態1と異なる点を説明する。

【0043】前記のとおり、実施の形態1では、入力端子P1は、ポリシリコン上に形成されたツェナーダイオードD1のカソードと、ショットキーバリアダイオードD2のアノードとに直接接続されている。これに対して、実施の形態2では、図3に示すように、入力端子P1は、ポリシリコン上に形成された抵抗R1を介して、ツェナーダイオードD1のカソードおよびショットキーバリアダイオードD2のアノードに接続されている。その他の点については、実施の形態1の場合とほぼ同様である。回路接続構造をこのような構成とすることにより、入力端子P1とIGBT・Z1のエミッタ端子P2との間に印加することが可能な電圧範囲を広くとることができる。

【0044】実施の形態3。以下、図4を用いて、本発明の実施の形態3を具体的に説明する。しかしながら、この実施の形態3にかかる半導体装置ないしは回路接続構造の大半は、実施の実施の形態2にかかる半導体装置ないしは回路接続構造と共通であるので、説明の重複を避けるため、主として実施の形態2と異なる点を説明する。

【0045】前記のとおり、実施の形態2では、入力端子P1とIGBT・Z1のエミッタ端子P2との間に印加することが可能な電圧範囲を広くとるために、抵抗R1が挿入されている。これに対して、この実施の形態例3では、図4に示すように、ツェナーダイオードD1と



もう1つのツェナーダイオードD4とが、双方向に接続された回路、すなわち両ツェナーダイオードD1、D4が逆向きに直列接続された回路が用いられている。その他の点については、実施の形態2の場合とほぼ同様である。

【0046】これにより、入力端子P1に、IGBT・Z1のエミッタ端子P2に対して負の電圧が印加された場合でも、ツェナーダイオードD1の逆方向耐圧までは電流が流れることがない。ただし、ショットキーバリアダイオードD2の耐圧を超える場合には、電流が急激に増えるので、両ツェナーダイオードD1、D4の耐圧は、ショットキーバリアダイオードD2、D3の耐圧よりも低い値に設定する必要がある。なお、上記構成に加えて、さらに実施の形態2の場合と同様にポリシリコンで形成された抵抗R1を挿入して（組合せて）、より広範囲な入力電圧に対応できるようにしてもよい。

【0047】実施の形態4。以下、図5を用いて、本発明の実施の形態4を具体的に説明する。しかしながら、この実施の形態4にかかる半導体装置ないしは回路接続構造の大半は、実施の形態1～3にかかる半導体装置ないしは回路接続構造と共通であるので、説明の重複を避けるため、主として実施の形態1～3と異なる点を説明する。

【0048】前記のとおり、実施の形態1～3では、半導体装置には1つの入力端子P1が設けられているだけである。これに対して、実施の形態4では、図5に示すように、複数の入力端子が設けられている。図5において、P4は、追加されたもう1つの入力端子である。D5は、入力端子P4の追加に伴って追加され、ツェナーダイオードD1と同様にポリシリコン上に形成された、さらなるツェナーダイオードである。D6およびD7は、入力端子P4の追加に伴って追加され、ショットキーバリアダイオードD2、D3と同様に形成された、さらなるショットキーバリアダイオードである。これらの追加の各ダイオードD5、D6、D7で構成されるさらなる寄生サイリスタラッチアップ防止回路は、既設の寄生サイリスタラッチアップ防止回路と同様に、制御用回路B1に接続されている。

【0049】このように、複数の入力端子P1、P4を設ける（入力端子を増やす）ことにより得られる利点としては、制御用回路B1により行われる制御の機能の向上効果があげられる。例えば、図2～図4に示すような回路接続構造（実施の形態1～3）においては、1つの入力端子P1しか設けられていないので、必然的に制御用回路B1は、入力端子P1に与えられる電圧を電源電圧として動作する回路構成とせざるを得ない。この場合、与えられる電圧はゼロ電圧を含め広範囲に変化するため、それらの範囲内において所望の回路特性を得る回路を設計することは極めて難しい。

【0050】これに対して、実施の形態4のように複数

の入力端子D1、D4を設け、例えば電源用の端子として安定化された電源電圧を供給すれば、高機能な回路や精度の高い回路を構成することが容易となる。また、制御を行うための入力信号をより多く取り入れることができ、高機能化を図ることができる。

【0051】実施の形態5。以下、図6を用いて、本発明の実施の形態5を具体的に説明する。しかしながら、この実施の形態5にかかる半導体装置ないしは回路接続構造の大半は、実施の形態1にかかる半導体装置ないしは回路接続構造と共通であるので、説明の重複を避けるため、主として実施の形態1と異なる点を説明する。

【0052】実施の形態1では、寄生サイリスタのラッチアップ防止回路に用いられるショットキーバリアダイオードD2、D3は、金属配線層U6と低濃度のn<sup>+</sup>拡散層U15との接合部の周辺に、ガードリングと呼ばれるp<sup>+</sup>拡散層U13が形成された構造とされている。これに対して、実施の形態5では、図6に示すように、ショットキーバリアダイオードD2、D3の形成を目的とした特別な拡散層形成用の加工を実施するのではなく、他の素子を形成する際に用いられる拡散層を転用することにより、必要なダイオード特性が得られるようにしている。つまり、ショットキーバリアダイオードD2、D3は、他の素子を形成する際に用いられる拡散層で形成されたものである。なお、ガードリングはショットキーバリアダイオードの逆方向耐圧特性を向上させるのに一般的に用いられている技術である。

【0053】図6においては、IGBT・Z1を形成する際に必要とされるp<sup>+</sup>拡散層U16を用いてショットキーバリアダイオードD2、D3を形成している。しかしながら、その他の拡散層、例えばp<sup>+</sup>拡散層U7やp<sup>+</sup>拡散層U12などを用いても、同様のダイオード特性を得ることができる。ただし、p<sup>+</sup>拡散層U16は、IGBT・Z1の形成過程においてMOSFETと同様に、半導体表面に反転層（チャネル）を形成することを目的として形成されるものであるため、他の拡散層と比べて比較的低濃度で浅い拡散層となっている。これをガードリングとして用いることにより、ガードリング部における寄生素子の影響を小さくすることができる。

【0054】このように、ガードリングの形成に必要な工程を他の工程と兼用することにより、半導体装置を製造するのに必要な工程数を削減することができる。このため、より低い加工費用で半導体装置を形成することができる。

【0055】実施の形態6。以下、図7を用いて、本発明の実施の形態6を具体的に説明する。しかしながら、この実施の形態6にかかる半導体装置ないしは回路接続構造の大半は、実施の形態1、5にかかる半導体装置ないしは回路接続構造と共通であるので、説明の重複を避けるため、主として実施の形態1、5と異なる点を説明

する。



【0056】実施の形態1、5においては、ショットキーバリアダイオードD2、D3を形成する際に、金属配線層U6としてAl（アルミニウム）または微量の他元素（Si等）を含むAlを用い、これと低濃度のn<sup>+</sup>拡散層U15とを接合するようにしている。これに対して、実施の形態6では、ショットキーバリアダイオードD2、D3の接合部で、他の金属拡散を行うようにしている。すなわち、一般にPt等の金属元素をSiに拡散させた場合、非常に低い順方向電圧特性のダイオードが得られるといったことが知られている。そこで、実施の形態6では、ダイオードの順方向電圧特性を優先的に考慮し、Siと金属の接合部分にPtなどの金属元素を拡散させるようにしている。

【0057】これにより、非常に低い順方向電圧特性のダイオードを得ることができるので、寄生サイリスタのラッチアップ防止効果が高まるとともに、入力端子に与えられた電圧をより少ない損失でもって制御用回路B1に伝達することができる。

【0058】

【発明の効果】本発明の第1の態様にかかる半導体装置においては、例えばIGBTが形成されている半導体基板上にpchMOSFETを形成した場合、pchMOSFET形成に必要な拡散領域を用いたダイオードを形成することにより、小さい面積でラッチアップを防止する回路を構成することができる。すなわち、ショットキーバリアダイオードを用いることにより、小さい面積で回路領域のnpn型寄生トランジスタのベース・エミッタ間電圧よりも低い順方向電圧特性を容易に得て、寄生サイリスタラッチアップ防止用の回路を小さくし、より安全で廉価な半導体装置を得ることができる。つまり、寄生サイリスタのラッチアップ防止用回路にショットキーバリアダイオードを用いることにより、従来に比べて小さい占有面積でより高い保護効果を得ることができる。

【0059】本発明の第2の態様にかかる半導体装置においては、基本的には、本発明の第1の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、金属配線層が、アルミニウムまたは微量の他元素を含むアルミニウムで形成されているので、該金属配線層の形成が容易となり、半導体装置の製造コストが低減される。

【0060】本発明の第3の態様にかかる半導体装置においては、基本的には、本発明の第1または第2の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、第4の拡散層が形成されているので、該半導体装置の性能が高められる。

【0061】本発明の第4の態様にかかる半導体装置においては、基本的には、本発明の第1～第3の態様のいずれか1つにかかる半導体装置の場合と同様の効果が得られる。さらに、第1のツェナーダイオードのカソードと第1のショットキーバリアダイオードのアノードとが

入力端子に接続され、第1のショットキーバリアダイオードのカソードが第2のショットキーバリアダイオードのカソードと回路領域または回路素子とに接続され、第1のツェナーダイオードのアノードと第2のショットキーバリアダイオードのアノードとがIGBTのエミッタに接続されているので、寄生トランジスタの動作をより有効に抑制することができる。

【0062】本発明の第5の態様にかかる半導体装置においては、基本的には、本発明の第4の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、入力端子と、第1のツェナーダイオードおよび第1のショットキーバリアダイオードとの間に抵抗が介設されているので、寄生トランジスタの動作を一層有効に抑制することができる。

【0063】本発明の第6の態様にかかる半導体装置においては、基本的には、本発明の第4の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、第2のツェナーダイオードのアノードが第1のツェナーダイオードのアノードに接続され、第2のツェナーダイオードのカソードが絶縁ゲートバイポーラトランジスタのエミッタに接続されているので、寄生トランジスタの動作をさらに有効に抑制することができる。

【0064】本発明の第7の態様にかかる半導体装置においては、基本的には、本発明の第4の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、入力端子および保護回路が複数設けられているので、該半導体装置が高機能化される。

【0065】本発明の第8の態様にかかる半導体装置においては、基本的には、本発明の第4の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、第4の拡散層がIGBTを形成する際に用いられる拡散層で形成されているので、該半導体装置の製造工程が簡素化され、その製造コストが低減される。

【0066】本発明の第9の態様にかかる半導体装置においては、基本的には、本発明の第3の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、第2の拡散層と第1の金属配線層との間に、異なる金属を用いた金属拡散層が形成されているので、寄生トランジスタの動作をさらに有効に抑制することができる。

【0067】本発明の第10の態様にかかる半導体装置においては、基本的には、本発明の第9の態様にかかる半導体装置の場合と同様の効果が得られる。さらに、拡散または堆積させられる金属が白金であるので、入力端子に印加された電圧をより少ない損失で回路領域または回路素子に伝達することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる、同一基板上にIGBTと制御用回路とが形成された半導体装置の縦断面図である。

【図2】 図1に示す版相対装置の回路構成図である。

【図3】 本発明の実施の形態2にかかる、同一基板上にIGBTと制御用回路とが形成された半導体装置の回路構成図である。

【図4】 本発明の実施の形態3にかかる、同一基板上にIGBTと制御用回路とが形成された半導体装置の回路構成図である。

【図5】 本発明の実施の形態4にかかる、同一基板上にIGBTと制御用回路とが形成された半導体装置の回路構成図である。

【図6】 本発明の実施の形態5にかかる、同一基板上にIGBTと制御用回路とが形成された半導体装置の縦断面図である。

【図7】 本発明の実施の形態6にかかる、同一基板上にIGBTと制御用回路とが形成された半導体装置の縦断面図である。

【図8】 本発明にかかる半導体装置の縦断面図であり、該半導体装置に発生する寄生サイリスタの構成を説明している。

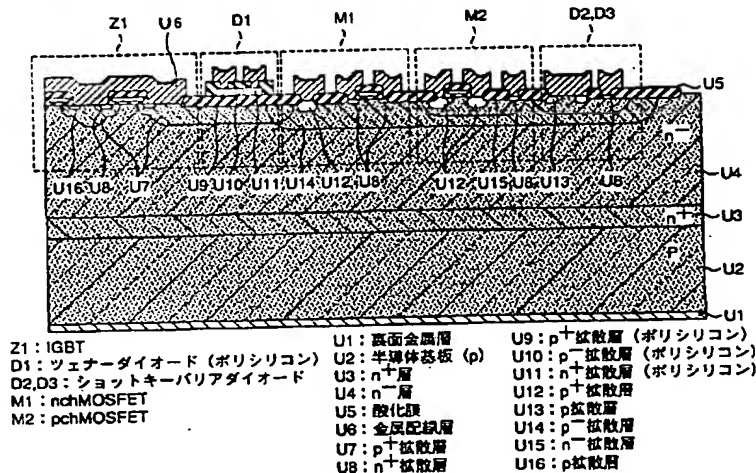
【図9】 同一基板上にIGBTと制御用回路とが形成された従来の半導体装置の回路構成図である。

【図10】 図9に示す従来の半導体装置の縦断面図であり、該半導体装置に発生する寄生サイリスタの構成を説明している。

【符号の説明】

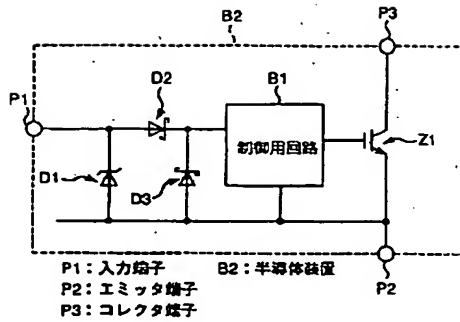
\*

【図1】

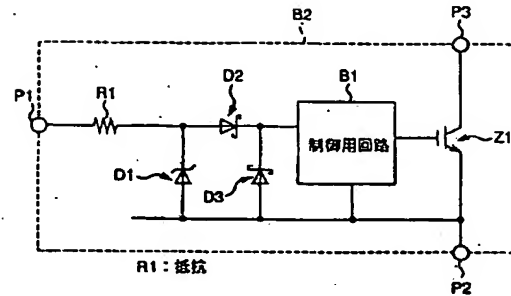


\* A1 ドレイン、 A2 ドレイン、 B1 制御用回路、 B2 半導体装置、 D1 ツェナーダイオード (ポリシリコン)、 D2 ショットキーバリアダイオード、 D3 ショットキーバリアダイオード、 D4 ツェナーダイオード、 D5 ツェナーダイオード、 D6 ショットキーバリアダイオード、 D7 ショットキーバリアダイオード、 D8 ツェナーダイオード、 G1 バックゲート、 G2 バックゲート、 M1 nchMOSFET、 M2 pchMOSFET、 P1 入力端子、 P2 エミッタ端子、 P3 コレクタ端子、 P4 入力端子、 R1 抵抗、 R2 抵抗、 R3 抵抗、 S1 ソース、 S2 ソース、 T1 寄生トランジスタ、 T2 寄生トランジスタ、 T3 寄生トランジスタ、 T4 寄生トランジスタ、 U1 表面金属層、 U2 半導体基板 (p)、 U3 n<sup>+</sup>層、 U4 n<sup>-</sup>層、 U5 酸化膜、 U6 金属配線層、 U7 p<sup>+</sup>拡散層、 U8 n<sup>+</sup>拡散層、 U9 p<sup>+</sup>拡散層 (ポリシリコン)、 U10 p<sup>-</sup>拡散層 (ポリシリコン)、 U11 n<sup>+</sup>拡散層 (ポリシリコン)、 U12 p<sup>+</sup>拡散層、 U13 p<sup>-</sup>拡散層、 U14 p<sup>-</sup>拡散層、 U15 n<sup>-</sup>拡散層、 U16 p<sup>-</sup>拡散層、 U17 金属拡散層、 Z1 IGBT。

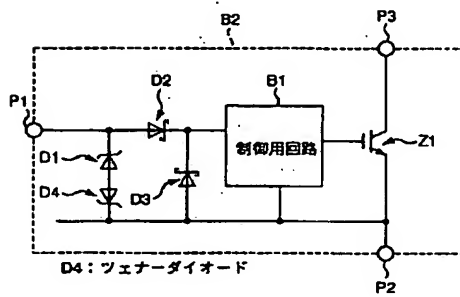
【図2】



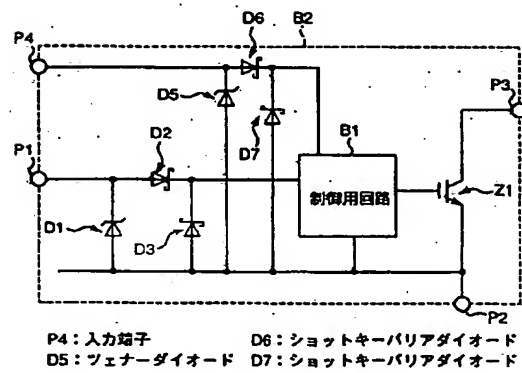
【図3】



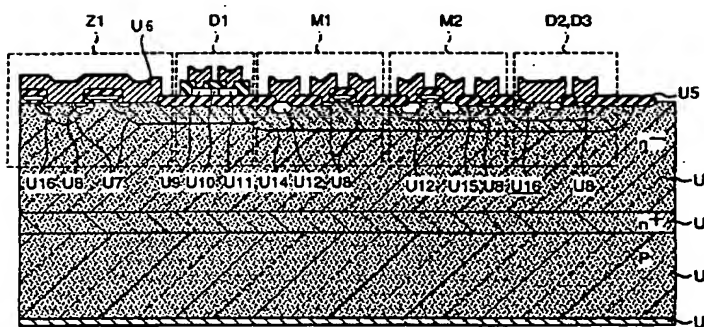
【図4】



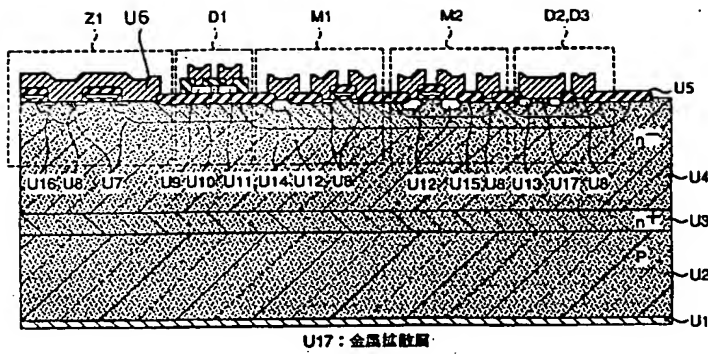
【図5】



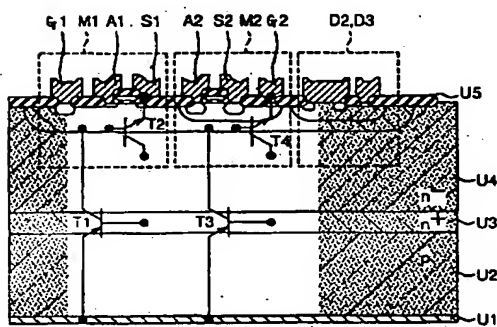
【図6】



【図7】

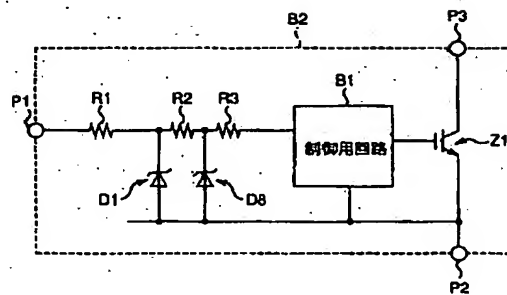


【図8】

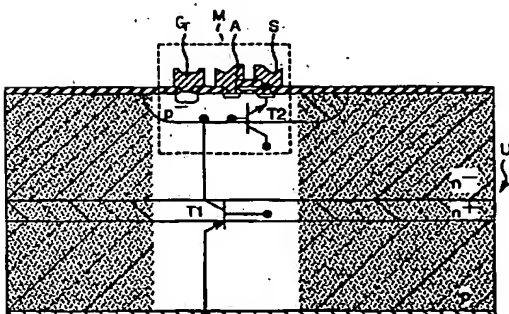


T1: 寄生トランジスタ    G1: バックゲート  
 T2: 寄生トランジスタ    G2: バックゲート  
 T3: 寄生トランジスタ    A1: ドレイン  
 T4: 寄生トランジスタ    A2: ドレイン  
                              S1: ソース  
                              S2: ソース

【図9】



【図10】



フロントページの続き

(51)Int.Cl.

H01L 27/06  
21/8238  
27/092  
29/872

識別記号

311

FI

H01L 27/08  
29/48

テマコード(参考)

321H  
M